

Docket No.: 60188-776

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masao SHINDO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 20, 2004	:	Examiner: Unknown
	:	
For: METHOD FOR FABRICATING BIPOLAR TRANSISTOR	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-080878, filed March 24, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: February 20, 2004



00188-776
SHINDO ~~00200~~
February 20, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 0 8 7 8
Application Number:

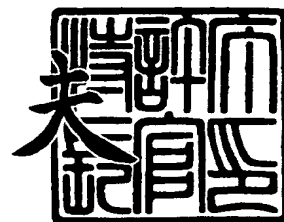
[ST. 10/C]: [J P 2 0 0 3 - 0 8 0 8 7 8]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 3 5 1 5



【書類名】 特許願

【整理番号】 2924040037

【提出日】 平成15年 3月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/331
H01L 29/73

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 新藤 正夫

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久



【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

**【手数料の表示】****【予納台帳番号】** 014409**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0217869**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 バイポーラトランジスタの製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体単結晶基板の主面の法線方向に沿って前記半導体単結晶基板に第 2 導電型の第 1 不純物をイオン注入することにより、第 2 導電型のコレクタ層を形成する第 1 の工程と、

前記法線方向に対して傾斜角度を持つ方向に沿って前記半導体単結晶基板に、前記第 1 の工程のイオン注入処理よりも高い注入エネルギーで第 2 導電型の第 2 不純物をイオン注入することにより、前記コレクタ層の下部に第 2 導電型の埋め込みコレクタ層を形成する第 2 の工程と、

前記コレクタ層の表面部における所定の領域に第 1 導電型のベース層及び第 2 導電型のエミッタ層を形成する第 3 の工程とを備えていることを特徴とするバイポーラトランジスタの製造方法。

【請求項 2】 前記第 2 の工程におけるイオン注入処理の注入ドーズ量は、前記第 1 の工程におけるイオン注入処理の注入ドーズ量よりも 10 倍以上多く、

前記第 2 の工程におけるイオン注入処理の注入エネルギーは、前記第 1 の工程におけるイオン注入処理の注入エネルギーよりも 6 倍以上高いことを特徴とする請求項 1 に記載のバイポーラトランジスタの製造方法。

【請求項 3】 前記第 3 の工程は、

前記コレクタ層の表面部における所定の領域に前記ベース層を形成する工程と、

前記ベース層が形成された前記半導体単結晶基板の上に、前記ベース層におけるエミッタ層形成領域を露出させる第 1 の開口部と前記コレクタ層におけるコレクタコンタクト層形成領域を露出させる第 2 の開口部とを有するマスクを形成する工程と、

前記マスクを用いて、前記ベース層における前記第 1 の開口部の下側に前記エミッタ層を形成すると同時に前記コレクタ層における前記第 2 の開口部の下側に第 2 導電型のコレクタコンタクト層を形成する工程とを含むことを特徴とする請求項 1 又は 2 に記載のバイポーラトランジスタの製造方法。

【請求項 4】 前記コレクタコンタクト層は、前記ベース層を取り囲むように形成されることを特徴とする請求項 3 に記載のバイポーラトランジスタの製造方法。

【請求項 5】 前記第 2 の工程と前記第 3 の工程との間に、前記半導体単結晶基板に第 2 導電型の第 3 不純物をイオン注入することにより、前記コレクタ層の表面部に第 2 導電型の反転防止層を形成する工程を備え、

前記反転防止層を形成する工程におけるイオン注入処理の注入ドーズ量は、前記第 1 の工程におけるイオン注入処理の注入ドーズ量よりも少なく、

前記反転防止層を形成する工程におけるイオン注入処理の注入エネルギーは、前記第 1 の工程におけるイオン注入処理の注入エネルギーよりも低いことを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載のバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バイポーラトランジスタの製造方法、特にエピタキシャル成長工程を用いずにバイポーラトランジスタを製造する方法に関するものである。

【0002】

【従来の技術】

近年、携帯電話及びモバイル機器に関する市場が広がってきたため、高速デバイスとしてのバイポーラトランジスタの低コスト化が要求されている。以下、従来のバイポーラトランジスタの製造方法について図面を参照しながら説明する（例えば特許文献 1 参照）。

【0003】

図 7 (a) ～ (e) は、従来のバイポーラトランジスタの製造方法の各工程を示す断面図である。

【0004】

まず、図 7 (a) に示すように、ボロンが $1 \times 10^{15} \text{ atoms/cm}^3$ の濃度にてドーピングされている p 型のシリコンからなる半導体単結晶基板 500 を用意

する。

【0005】

次に、図7(b)に示すように、埋め込みコレクタ層形成領域に対応した開口部を有するマスク(図示省略)を用いて、半導体単結晶基板500に $5 \times 10^{15} \text{ atoms/cm}^2$ の注入ドーズ量にてヒ素をイオン注入する。このときのイオン注入処理における注入角度は、半導体単結晶基板500の法線方向に対して少し傾斜した角度(約 7°)にする。これにより、半導体単結晶基板500における所定の領域に埋め込みコレクタ層501を形成する。その後、半導体単結晶基板500の上に全面に亘って、リンが約 $1 \times 10^{16} \text{ atoms/cm}^3$ の濃度にてドーピングされた厚さ約 $1 \mu\text{m}$ のエピタキシャル層502を形成する。尚、埋め込みコレクタ層501に導入されたヒ素イオンは、エピタキシャル層502を形成した後エピタキシャル層502の下部に拡散するため、埋め込みコレクタ層501が拡大する。

【0006】

次に、図7(c)に示すように、エピタキシャル層502におけるコレクタウォール層形成領域を露出させる開口部を有するマスク(図示省略)を用いて、半導体単結晶基板500に $2 \times 10^{15} \text{ atoms/cm}^2$ の注入ドーズ量にてリンをイオン注入することにより、エピタキシャル層502における所定の領域にコレクタウォール層503を形成する。その後、半導体単結晶基板500に対して 1000°C の熱処理を30分間加えることにより、コレクタウォール層503を埋め込みコレクタ層501に達する厚さを有するように拡大させる。

【0007】

次に、図7(d)に示すように、エピタキシャル層502におけるベース層形成領域を露出させる開口部を有するマスク(図示省略)を用いて、半導体単結晶基板500に $3 \times 10^{13} \text{ atoms/cm}^2$ の注入ドーズ量にてボロンをイオン注入することにより、エピタキシャル層502の表面部における所定の領域にベース層504を形成する。その後、ベース層504におけるエミッタ層形成領域を露出させる開口部を有するマスク(図示省略)を用いて、半導体単結晶基板500に $4 \times 10^{15} \text{ atoms/cm}^2$ の注入ドーズ量にてヒ素をイオン注入する。

ことにより、ベース層 504 の表面部における所定の領域にエミッタ層 505 を形成する。その後、半導体単結晶基板 500 に対して 850℃ の熱処理を 30 分程度加えることにより、ベース層 504 及びエミッタ層 505 にそれぞれ導入された不純物を活性化させる。

【0008】

次に、図 7 (e) に示すように、半導体単結晶基板 500 の上に全面に亘って、厚さ約 1 μ m の BPSG (リンホウ素シリケートガラス) 膜からなる酸化膜 506 を CVD (chemical vapor deposition) 法を用いて形成することにより、エピタキシャル層 502、ベース層 504 及びエミッタ層 505 等からなるバイポーラトランジスタの表面を保護する。その後、酸化膜 506 に、コレクタウォール層 503、ベース層 504 及びエミッタ層 505 とそれぞれ接続し且つそれぞれアルミニウムからなるコレクタ電極 507、ベース電極 508 及びエミッタ電極 509 (つまりバイポーラトランジスタの各電極) をスパッタ法により形成する。これにより、バイポーラトランジスタが完成する。尚、図示は省略しているが、前述のバイポーラトランジスタは適切な素子分離方法、例えば誘電体分離又は PN 接合分離により他の半導体素子から電氣的に分離されている。

【0009】

しかしながら、上記のような従来のバイポーラトランジスタの製造方法では、エピタキシャル層 502 を形成するため、製造コストが高くなるという問題があった。また、バイポーラトランジスタに特有なエピタキシャル層 502 があるために、既存の CMOS (complementary metal oxide semiconductor) プロセスにバイポーラトランジスタの製造工程を追加しようとする場合、MOS トランジスタの特性が変わってしまうという問題が発生する。

【0010】

これらの問題を解決するための方法として、バイポーラトランジスタのエピタキシャル層に相当する不純物拡散層を、イオン注入処理により形成する多重イオン注入法が知られている (例えば非特許文献 1 参照)。

【0011】

【特許文献1】

特公昭59-50227号公報

【非特許文献1】

ドン・リー、ジェームズ・メイヤー (D.H.Lee、J.W.Mayer) , “イオン注入された半導体デバイス (Ion-Implanted Semiconductor Devices) ” , 電気電子技術者学会 (Proceeding of the IEEE) , (米国) , 電気電子技術者学会 (Proceeding of the IEEE) , 1974年, 62巻, 9号, p. 1241-p1255

【0012】

【発明が解決しようとする課題】

しかしながら、多重イオン注入法においても以下のような問題がある。

【0013】

図8は、多重イオン注入法により得られる不純物プロファイル、具体的には注入された不純物が到達する半導体単結晶基板の表面（以下、基板表面と称する）からの深さと、注入された不純物の濃度との関係を示す模式的なグラフである。

【0014】

図8に示すように、多重イオン注入法とは、注入エネルギーの異なるイオン注入処理を繰り返すことにより不純物濃度のピーク位置（図8の場合は基板表面からの深さ）が断続的に異なる不純物プロファイルを順次作り出すと共に、これらの不純物プロファイルを足し合わせることで不純物濃度がほぼ均一な不純物プロファイルを得るというものである。

【0015】

このような多重イオン注入法を用いれば、エピタキシャル層に相当する、不純物濃度が半導体単結晶基板の厚さ方向に一定に分布する不純物プロファイルを作り出すことができる。ところが、多重イオン注入法はイオン注入処理を多段階に行なう必要があるため、半導体単結晶基板に蓄積されるダメージが増大する。その結果、デバイス特性の劣化を招く恐れがある。また、イオン注入処理の回数が多いため、製造コストが増大するという問題もある。

【0016】

前記に鑑み、本発明は、多重イオン注入法により生じる弊害を回避しつつ、エピタキシャル成長工程を行わずにバイポーラトランジスタを製造できるようにすることを目的とする。

【0017】

【課題を解決するための手段】

本発明のバイポーラトランジスタの製造方法は、第1導電型の半導体単結晶基板の主面の法線方向に沿って半導体単結晶基板に第2導電型の第1不純物をイオン注入することにより、第2導電型のコレクタ層を形成する第1の工程と、法線方向に対して傾斜角度を持つ方向に沿って半導体単結晶基板に、第1の工程のイオン注入処理よりも高い注入エネルギーで第2導電型の第2不純物をイオン注入することにより、コレクタ層の下部に第2導電型の埋め込みコレクタ層を形成する第2の工程と、コレクタ層の表面部における所定の領域に第1導電型のベース層及び第2導電型のエミッタ層を形成する第3の工程とを備えていることを特徴とするバイポーラトランジスタの製造方法である。

【0018】

本発明のバイポーラトランジスタの製造方法によると、第2導電型のコレクタ層を形成するために、第2導電型の第1不純物を、第1導電型の半導体単結晶基板の主面（以下、基板面と称する）の法線方向に沿って半導体単結晶基板にイオン注入する。このとき、半導体単結晶基板を構成する原子（半導体原子）が整列することにより結晶格子が形成されているため、注入された第1不純物は半導体単結晶基板の表面部（以下、基板表面部と称する）に殆ど留まらず、半導体単結晶基板中を進行していく。すなわち、第1の不純物は、結晶格子の間をすり抜けて基板表面よりも深い領域にまで浸透する（チャネリング現象）。その結果、第1不純物の濃度が半導体単結晶基板の厚さ方向にほぼ一定に分布する不純物プロファイルを持つコレクタ層が形成される。これにより、従来のエピタキシャル層と類似した不純物プロファイルを1度のイオン注入処理により得ることができる。したがって、イオン注入処理を多段階に分けて行なう従来の多重イオン注入法で問題とされた、イオン注入によるダメージが半導体単結晶基板に蓄積される問



題点は解消される。また、製造コストの増大を回避することができる。

【0019】

これに対して、第2導電型の埋め込みコレクタ層を形成する第2の工程では、第2不純物を、基板面の法線方向に対して傾斜角度を持つ方向に沿って半導体単結晶基板にイオン注入する。このような傾斜角度を持つイオン注入処理により注入された第2不純物は、半導体単結晶基板中を進行する際、整然と並んだ半導体原子と衝突しやすい。このため、第2の工程では、基板表面から所定の深さに急峻な第2不純物の濃度ピークを有する不純物プロファイルを持つように、第2不純物が所定の深さに集中的にイオン注入される。更に、このような第2不純物のイオン注入処理を、第1不純物のイオン注入処理よりも高い注入エネルギーで行なうと、注入エネルギーの高さに応じて基板表面よりも深い位置に第2不純物をイオン注入することができる。これにより、急峻な濃度ピークを持つ埋め込みコレクタ層を、コレクタ層の下部に形成することができる。したがって、第1不純物及び第2不純物のイオン注入処理により、埋め込みコレクタ層とエピタキシャル層とを有する従来のバイポーラトランジスタと類似した不純物プロファイルを持つバイポーラトランジスタを製造することができる。すなわち、バイポーラトランジスタの製造工程からエピタキシャル成長工程を省くことができる。

【0020】

また、従来の方法ではエピタキシャル層を形成する前に埋め込みコレクタ層を形成する必要があったのに対して、本発明ではコレクタ層（従来のエピタキシャル層に相当する）を形成した後であっても、高い注入エネルギーでイオン注入処理を行なうことにより、コレクタ層の下部に埋め込みコレクタ層を選択的に形成することができる。

【0021】

また、本発明のバイポーラトランジスタの製造方法によると、コレクタ層及び埋め込みコレクタ層を形成するために同一のマスクを活用することができるため、製造コストを低く抑えることができる。

【0022】

本発明のバイポーラトランジスタの製造方法において、第2の工程におけるイ



オン注入処理の注入ドーズ量は、第1の工程におけるイオン注入処理の注入ドーズ量よりも10倍以上多く、第2の工程の注入エネルギーは、第1の工程の注入エネルギーよりも6倍以上高いことが好ましい。

【0023】

このようにすると、第2導電型の第2不純物が高濃度に導入された埋め込みコレクタ層を、コレクタ層の下部に確実に形成することができるため、従来のエピタキシャル成長工程を用いて製造されたバイポーラトランジスタと類似した不純物プロファイルを持つバイポーラトランジスタを確実に製造することができる。

【0024】

本発明のバイポーラトランジスタの製造方法において、第3の工程は、コレクタ層の表面部における所定の領域にベース層を形成する工程と、ベース層が形成された半導体単結晶基板の上に、ベース層におけるエミッタ層形成領域を露出させる第1の開口部とコレクタ層におけるコレクタコンタクト層形成領域を露出させる第2の開口部とを有するマスクを形成する工程と、マスクを用いて、ベース層における第1の開口部の下側にエミッタ層を形成すると同時にコレクタ層における第2の開口部の下側に第2導電型のコレクタコンタクト層を形成する工程とを備えていることが好ましい。

【0025】

このようにすると、コレクタ層の表面部における所定の領域に第2導電型のコレクタコンタクト層が形成される。このため、コレクタコンタクト層にコレクタ電極を接続したとき、コレクタ層とコレクタ電極との接触部分に生じる接触抵抗を低くすることができる。したがって、バイポーラトランジスタの電流能力を向上させることができる。また、エミッタ層を形成するためのマスクを活用してコレクタコンタクト層を形成することができるため、コレクタコンタクト層を形成するための工程を新たに追加する必要がない。したがって、製造コストの維持を図りながら高性能のバイポーラトランジスタを製造することができる。

【0026】

更に、コレクタコンタクト層を形成する場合において、コレクタコンタクト層は、ベース層を取り囲むように形成されることが好ましい。

**【0027】**

このようにすると、コレクタ層の表面部における、半導体単結晶基板とベース層との間に、第2導電型のコレクタコンタクト層が形成される。すなわち、コレクタコンタクト層がベース層を取り囲むように形成される。これにより、コレクタ層の表面部におけるコレクタコンタクト層を形成した領域に、第2導電型不純物を補填することができる。言い換えれば、コレクタ層の表面部における、半導体単結晶基板とベース層との間に、第2導電型不純物を補填するためのコレクタコンタクト層を必ず介在させることができる。このように第2導電型不純物を補填するのは、イオン注入時にコレクタ層の表面部においてチャネリング現象が起こるためである。チャネリング現象が起こると、該表面部において第2導電型不純物の濃度が低くなる場合がある。しかしながら、コレクタコンタクト層を上記のように形成すれば、コレクタ層の表面部における第2導電型不純物の濃度が低下することにより、例えば第1導電型の半導体単結晶基板と第1導電型のベース層との間のパンチスルー耐圧が劣化する弊害が生じる場合があっても、この問題を未然に防ぐことができる。また、配線に印加される電圧の影響を受けることによりコレクタ層の表面部が第1導電型に反転してしまう弊害が生じる場合があっても、この問題を未然に防ぐことができる。

【0028】

本発明のバイポーラトランジスタの製造方法において、第2の工程と第3の工程との間に、半導体単結晶基板に第2導電型の第3不純物をイオン注入することにより、コレクタ層の表面部に第2導電型の反転防止層を形成する工程を備え、反転防止層を形成する工程におけるイオン注入処理の注入ドーズ量は、第1の工程におけるイオン注入処理の注入ドーズ量よりも少なく、反転防止層を形成する工程の注入エネルギーは、第1の工程の注入エネルギーよりも低いことが好ましい。

【0029】

このようにすると、第3不純物のイオン注入処理が第1不純物のイオン注入処理よりも低い注入エネルギーで行なわれるため、半導体単結晶基板に形成されるコレクタ層の表面部に、コレクタ層と同じ導電型である第2導電型の反転防止層

が形成される。このため、前述したイオン注入時のチャネリング現象により、コレクタ層の表面部における第2導電型の第1不純物の濃度が減少したとしても、コレクタ層の表面部に第2導電型の第3不純物を補填することができる。したがって、前述のように、コレクタ層の表面部における第1不純物の濃度が低下することにより生じる、パンチスルー耐圧の劣化の弊害又はコレクタ層の表面部が第1導電型に反転する弊害が問題になる場合であっても、これらの問題を未然に防ぐことができる。

【0030】

また、同一のマスクを活用して複数の拡散層（コレクタ層、埋め込みコレクタ層、及び反転防止層）を形成することができるため、製造コストを抑えることができると共に、基板表面部におけるコレクタ層を形成する領域と反転防止層を形成する領域との間にずれを生じさせることなく反転防止層を形成することができる。

【0031】

【発明の実施の形態】

（第1の実施形態）

以下、本発明の第1の実施形態に係るバイポーラトランジスタの製造方法について図面を参照しながら説明する。

【0032】

図1（a）～（e）は第1の実施形態に係るバイポーラトランジスタの製造方法の各工程を示す断面図である。

【0033】

まず、図1（a）に示すように、例えばボロンが $1 \times 10^{15} \text{ atoms/cm}^3$ の濃度にてドーピングされている例えばシリコンからなるp型の半導体単結晶基板100を用意する。

【0034】

次に、図1（b）に示すように、半導体単結晶基板100の上に全面に亘って、膜厚 $2 \sim 4 \mu\text{m}$ の厚いレジストを塗布する。その後、該レジストをパターニングすることにより、半導体単結晶基板100におけるコレクタ層形成領域に対応

した開口部を有する第1のマスク101を形成する。

【0035】

次に、図1(c)に示すように、第1のマスク101を用いて、半導体単結晶基板100にn型不純物、例えばリンをイオン注入（以下、第1のイオン注入処理150とする）することにより、n型のコレクタ層102を形成する。第1のイオン注入処理150は、半導体単結晶基板100の主面（以下、基板面と称する）の法線方向に沿って、例えば150 KeVの注入エネルギーにて且つ $1 \times 10^{12} \text{ atoms/cm}^2$ の注入ドーズ量にて行なう。これにより注入されるリンイオンは半導体単結晶基板100の表面部（以下、基板表面部と称する）でチャネリングを起こすため、例えば深さ1.1 μm まではほぼ一定な濃度 $1 \times 10^{16} \text{ atoms/cm}^3$ を有する不純物プロファイルが得られる。

【0036】

次に、図1(d)に示すように、コレクタ層102を形成するために使用した第1のマスク101を再度用いて、半導体単結晶基板100にn型不純物、例えばリンをイオン注入（以下、第2のイオン注入処理151とする）することにより、コレクタ層102の下部にn型の埋め込みコレクタ層103を形成する。第2のイオン注入処理151は、基板面の法線方向に対して約 7° の傾斜角度を持つ方向に沿って、例えば、1.2 MeVの注入エネルギーにて且つ $5 \times 10^{13} \text{ atoms/cm}^2$ の注入ドーズ量にて行なう。これにより、例えば半導体単結晶基板100の表面（以下、基板表面と称する）から1 μm 程度の深さに濃度ピークを有する不純物プロファイルが得られる。

【0037】

次に、図1(e)に示すように、コレクタ層102におけるベース層形成領域に対応した開口部を有するマスク（図示省略）を用いて、半導体単結晶基板100に $3 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量にてp型不純物、例えばボロンをイオン注入することにより、コレクタ層102の表面部における所定の領域にp型のベース層104を形成する。その後、ベース層104におけるエミッタ層形成領域に対応した開口部を有するマスク（図示省略）を用いて、半導体単結晶基板100に $4 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量にてn型不純物、例えばヒ

素をイオン注入することにより、ベース層 104 の表面部における所定の領域に n 型のエミッタ層 105 を形成する。その後、半導体単結晶基板 100 に対して 850℃ の熱処理を 30 分間行なうことにより、ベース層 104 及びエミッタ層 105 に導入された不純物を活性化させる。その後、半導体単結晶基板 100 の上に全面に亘って、例えば厚さ約 1 μ m の BPSG 膜からなる酸化膜 106 を CVD 法を用いて形成することにより、コレクタ層 102、ベース層 104 及びエミッタ層 105 等からなるバイポーラトランジスタの表面を保護する。その後、酸化膜 106 に、コレクタ層 102、ベース層 104 及びエミッタ層 105 とそれぞれ接続し且つそれぞれ例えばアルミニウムからなるコレクタ電極 107、ベース電極 108 及びエミッタ電極 109（つまりバイポーラトランジスタの各電極）をスパッタ法により形成する。これにより、バイポーラトランジスタが完成する。また、図示は省略しているが、前述のバイポーラトランジスタは適切な素子分離方法、例えば誘電体分離又は PN 接合分離により他の半導体素子から電気的に分離されている。

【0038】

第 1 の実施形態の特徴は、イオン注入処理の注入エネルギー及び注入角度が第 1 のイオン注入処理 150 と第 2 のイオン注入処理 151 とで互いに異なるところにある。図 2 は、図 1 (a) ~ (e) に示す本実施形態に係るバイポーラトランジスタの製造方法により形成されるコレクタ層 102 及び埋め込みコレクタ層 103 が持つそれぞれの不純物プロファイルを示す模式的なグラフ、具体的には、第 1 のイオン注入処理 150 及び第 2 のイオン注入処理 151 によりリンイオンが到達する基板表面からの深さとリンイオンの濃度との関係を示す模式的なグラフである。

【0039】

図 2 に示すように、基板面の法線方向に沿って半導体単結晶基板 100 に行なう第 1 のイオン注入処理 150 によると、注入された不純物が基板表面部でチャネリングを起こすため、不純物濃度が半導体単結晶基板 100 の厚さ方向にほぼ一定に分布する不純物プロファイルを持つコレクタ層 102 が形成される。これに対して、基板面の法線方向に対して僅かな傾斜角度を持つ方向に沿って半導体

単結晶基板 100 に行なう第 2 のイオン注入処理 151 によると、所定の深さに不純物の濃度ピークが現れる不純物プロファイルを持つ埋め込みコレクタ層 103 が形成される。この不純物の濃度ピークは、第 2 のイオン注入処理 151 の注入エネルギーを高くすることにより、より深い位置に現れるようにすることができる。

【0040】

このように、本実施形態によると、第 1 のイオン注入処理 150 により、不純物濃度が半導体単結晶基板 100 の厚さ方向にほぼ一定に分布する不純物プロファイルを持つコレクタ層 102 を形成することができる。このため、従来のエピタキシャル成長工程を用いて形成されたエピタキシャル層と類似した不純物プロファイルを、ただ 1 度のイオン注入処理を行なうことにより得ることができる。したがって、イオン注入処理を多段階に分けて行なう従来の多重イオン注入法で問題とされた、イオン注入によるダメージが半導体単結晶基板 100 に蓄積される問題点は解消される。また、製造コストの増大を回避することができる。

【0041】

一方、第 2 のイオン注入処理 151 により、急峻な不純物の濃度ピークを有する不純物プロファイルを持つ埋め込みコレクタ層 103 を形成することができると共に、埋め込みコレクタ層 103 をコレクタ層 102 の下部に形成することができる。したがって、第 1 のイオン注入処理 150 及び第 2 のイオン注入処理 151 により、埋め込みコレクタ層とエピタキシャル層とを有する従来のバイポーラトランジスタと類似した不純物プロファイルを持つバイポーラトランジスタを製造することができる。すなわち、バイポーラトランジスタの製造方法からエピタキシャル成長工程を省くことができる。

【0042】

また、従来の方法では埋め込みコレクタ層をエピタキシャル層を形成する前に形成する必要があったのに対して、本実施形態ではコレクタ層 102（従来のエピタキシャル層に相当する）を形成した後であっても、高い注入エネルギーでイオン注入処理を行なうことにより埋め込みコレクタ層 103 をコレクタ層 102 の下部に選択的に形成することができる。

【0043】

また、第1の実施形態によると、コレクタ層102及び埋め込みコレクタ層103を形成するために第1のマスク101を共に利用するため、製造コストを低く抑えることができる。

【0044】

また、第1の実施形態によると、半導体単結晶基板100に対して850℃という低温で熱処理が行なわれるため、コレクタ層102及び埋め込みコレクタ層103に注入されたリンイオンは、ドライブイン拡散していない。すなわち、低温で熱処理が行なわれるため、コレクタ層102及び埋め込みコレクタ層103が、それぞれ横方向及び深さ方向に広がらないので、形成された当初のコレクタ層102及び埋め込みコレクタ層103の形が、それぞれほぼそのまま維持されている。よって、第1のマスク101の開口部の大きさを調節することにより横方向の拡散長を制御することができると共に、イオン注入処理の条件（注入角度及び注入エネルギー）を調節することにより、深さ方向の拡散長を制御することができる。このため、ドライブイン拡散による広がりを考慮に入れる必要がないので、図1に示すバイポーラトランジスタと他の素子とをPN接合分離する場合、バイポーラトランジスタと他の素子との離間距離を、すなわち半導体単結晶基板100の素子分離領域における幅を、最低限の幅まで狭くすることができる。したがって、ドライブイン拡散しない程度に熱処理を行えば、高集積バイポーラトランジスタICを製造することができる。

【0045】

すなわち、本実施形態によると、従来の多重イオン注入法における問題点を回避しつつ、エピタキシャル成長工程を省いた高集積可能なバイポーラトランジスタの製造方法を低コストで実現することができる。

【0046】

尚、第1の実施形態において、第1のイオン注入処理150の注入角度は、基板面に対して90°であったが、90°からのずれが1.5°程度以下、好ましくは1°程度以下であれば基板面に対して法線方向であるとみなす。一方、第2のイオン注入処理151における法線方向に対する傾斜角度は2°以上、好まし

くは 5° 以上 30° 以下であると第2のイオン注入処理151による効果が確実に得られる。

【0047】

また、第1の実施形態において、第1のイオン注入処理150及び第2のイオン注入処理151の注入エネルギー及び注入ドーズ量は、製造するバイポーラトランジスタに要求される特性に応じて設定することが好ましい。ただし、第2のイオン注入処理151の注入エネルギーを第1のイオン注入処理150の注入エネルギーよりも高くする必要がある。尚、この場合、第2のイオン注入処理151の注入エネルギーは第1のイオン注入処理150における注入エネルギーの6倍以上20倍以下で、尚かつ第2のイオン注入処理151の注入ドーズ量は第1のイオン注入処理150における注入ドーズ量の10倍以上であることが好ましい。

【0048】

また、第1の実施形態において、ベース層104及びエミッタ層105を形成するそれぞれのイオン注入処理の注入エネルギー、注入ドーズ量及び注入角度は、製造するバイポーラトランジスタに要求される特性に応じて設定することが好ましい。

【0049】

また、第1の実施形態において、npn型のバイポーラトランジスタを製造したが、これに代えて、導電型を反転させたpnp型のバイポーラトランジスタを製造してもよい。

【0050】

また、第1の実施形態において、コレクタ層102を形成した後に埋め込みコレクタ層103を形成したが、これに代えて、埋め込みコレクタ層103を形成した後にコレクタ層102を形成してもよい。

【0051】

また、第1の実施形態において、ボロンがドーパされた半導体単結晶基板100を用意したが、他のp型不純物がドーパされた半導体単結晶基板100を用意してもよい。

【0052】

また、第1の実施形態において、第1のイオン注入処理150及び第2のイオン注入処理151においてリンをイオン注入したが、これに代えて、他のn型不純物をイオン注入してもよい。

【0053】

また、第1の実施形態において、ベース層104を形成するため、イオン注入によりボロンを導入したが、これに代えて、他の方法を用いて他のp型不純物を導入してもよい。

【0054】

また、第1の実施形態において、エミッタ層105を形成するため、イオン注入によりヒ素を導入したが、これに代えて、他の方法を用いて他のn型不純物を導入してもよい。

【0055】

また、第1の実施形態において、酸化膜106としてBPSG膜を用いたが、これに代えて、他の保護膜を用いてもよい。

【0056】

また、第1の実施形態において、コレクタ電極107、ベース電極108及びエミッタ電極109の材料としてそれぞれアルミニウムを用いたが、これに代えて、他の金属を用いてもよい。

【0057】

(第2の実施形態)

以下、本発明の第2の実施形態に係るバイポーラトランジスタの製造方法について図面を参照しながら説明する。

【0058】

図3(a)～(d)は第3の実施形態に係るバイポーラトランジスタの製造方法の各工程を示す断面図である。尚、図3(a)～(d)において、図1(a)～(e)に示す第1の実施形態に係るバイポーラトランジスタの製造方法により製造されたバイポーラトランジスタと同一の部材には同一の符号を付す。

【0059】

図3 (a) に示すように、本実施形態に係るバイポーラトランジスタの製造方法における図3 (a) に示す工程は、図1 (a) ~ (d) に示す第1の実施形態に係るバイポーラトランジスタの製造方法と同様の工程である。これにより、p型の半導体単結晶基板100における所定の領域にn型のコレクタ層102及びn型の埋め込みコレクタ層103を形成する。

【0060】

次に、図3 (b) に示すように、第1のマスク101を除去する。その後、コレクタ層102におけるベース層形成領域に対応した開口部を有するマスク (図示省略) を用いて、半導体単結晶基板100に $3 \times 10^{13} \text{ atoms/cm}^2$ のドーズ量にてp型不純物、例えばボロンをイオン注入することにより、コレクタ層102の表面部における所定の領域にp型のベース層104を形成する。その後、半導体単結晶基板100の上に、ベース層104におけるエミッタ層形成領域を露出させる第1の開口部とコレクタ層102におけるコレクタコンタクト層形成領域を露出させる第2の開口部とを有する第2のマスク110を形成する。

【0061】

次に、図3 (c) に示すように、第2のマスク110を用いて、半導体単結晶基板100にn型不純物、例えばヒ素をイオン注入 (以下、第3のイオン注入処理160とする) することにより、ベース層104の表面部における第1の開口部の下側にn型のエミッタ層105を形成する。これと同時に、コレクタ層102の表面部における第2の開口部の下側にn型不純物が高濃度に導入されたコレクタコンタクト層111を形成する。ただし、第3のイオン注入処理160は、50 KeVの注入エネルギーにて且つ $5 \times 10^{15} \text{ atoms/cm}^2$ の注入ドーズ量にて行なう。その後、半導体単結晶基板100に対して850℃の熱処理を30分間加えることにより、ベース層104、エミッタ層105及びコレクタコンタクト層111に注入された不純物を活性化させる。

【0062】

次に、図3 (d) に示すように、第2のマスク110を除去する。その後、半導体単結晶基板100の上に全面に亘って、例えば厚さ約 $1 \mu\text{m}$ のBP SG膜からなる酸化膜106をCVD法を用いて形成することにより、コレクタ層102

、ベース層 104 及びエミッタ層 105 等からなるバイポーラトランジスタの表面を保護する。その後、酸化膜 106 に、コレクタ層 102、ベース層 104 及びエミッタ層 105 とそれぞれ接続し且つそれぞれ例えばアルミニウムからなるコレクタ電極 107、ベース電極 108 及びエミッタ電極 109 (つまりバイポーラトランジスタの各電極) をスパッタ法により形成する。これにより、バイポーラトランジスタが完成する。また、図示は省略しているが、前述のバイポーラトランジスタは適切な素子分離方法、例えば誘電体分離又は PN 接合分離により他の半導体素子から電氣的に分離されている。

【0063】

第 2 の実施形態によると、第 1 の実施形態により得られる効果に加えて次のような効果が得られる。本実施形態によると、コレクタ層 102 の表面部におけるコレクタ層 102 とコレクタ電極 107 とが接触する領域に、n 型不純物が高濃度に導入されたコレクタコンタクト層 111 を形成する。このため、コレクタ層 102 とコレクタ電極 107 との接触部分に生じる接触抵抗が低くなる。その結果、本実施形態により製造する npn バイポーラトランジスタの電流能力を向上させることができる。また、エミッタ層 105 を形成するための第 2 のマスク 110 を活用してコレクタコンタクト層 111 を形成することができるため、製造コストの維持を図りながら高性能のバイポーラトランジスタを製造することができる。

【0064】

尚、第 2 の実施形態において、第 3 のイオン注入処理 160 の注入エネルギー、注入ドーズ量及び注入角度は、製造するバイポーラトランジスタに要求される特性に応じて設定することが好ましい。

【0065】

また、第 2 の実施形態において、コレクタコンタクト層 111 を形成するため、第 3 のイオン注入処理 160 によりヒ素を導入したが、これに代えて、他の方法により他の n 型不純物を導入してもよい。

【0066】

また、第 2 の実施形態において、n pn 型のバイポーラトランジスタを製造し

たが、これに代えて、導電型を反転させた p n p 型のバイポーラトランジスタを製造してもよい。

【0067】

(第3の実施形態)

以下、本発明の第3の実施形態に係るバイポーラトランジスタの製造方法について、図面を参照しながら説明する。

【0068】

図4(a)～(d)は本発明の第3の実施形態に係るバイポーラトランジスタの製造方法の各工程を示す断面図である。尚、図4(a)～(d)において、図1(a)～(e)に示す第1の実施形態に係るバイポーラトランジスタの製造方法により製造されたバイポーラトランジスタと同一の部材には同一の符号を付す。

【0069】

図4(a)に示すように、本実施形態に係るバイポーラトランジスタの製造方法における図4(a)に示す工程は、図1(a)～(d)に示す第1の実施形態に係るバイポーラトランジスタの製造方法と同様の工程である。これにより、p型の半導体単結晶基板100における所定の領域にn型のコレクタ層102及びn型の埋め込みコレクタ層103を形成する。

【0070】

次に、図4(b)に示すように、第1のマスク101を用いて、半導体単結晶基板100にn型不純物、例えばリンをイオン注入(以下、第4のイオン注入処理170とする)することにより、n型の反転防止層112をコレクタ層102の表面部に形成する。ただし、第4のイオン注入処理170は、30KeVの注入エネルギーにて且つ $2 \times 10^{12} \text{ atoms/cm}^2$ の注入ドーズ量にて行なう。

【0071】

次に、図4(c)に示すように、第1のマスク101を除去する。その後、コレクタ層102におけるベース層形成領域に対応した開口部を有するマスク(図示省略)を用いて、半導体単結晶基板100に $3 \times 10^{13} \text{ atoms/cm}^2$ の

ドーズ量にて p 型不純物、例えばボロンをイオン注入することにより、コレクタ層 102 の表面部における所定の領域に p 型のベース層 104 を形成する。その後、ベース層 104 におけるエミッタ層形成領域に対応した開口部を有するマスク（図示省略）を用いて、半導体単結晶基板 100 に $4 \times 10^{15} \text{ atoms/cm}^2$ のドーズ量にて n 型不純物、例えばヒ素をイオン注入することにより、ベース層 104 の表面部における所定の領域に n 型のエミッタ層 105 を形成する。その後、半導体単結晶基板 100 に対して 850°C の熱処理を 30 分間行なうことにより、ベース層 104、エミッタ層 105 及び反転防止層 112 に導入された不純物を活性化させる。

【0072】

次に、図 4（d）に示すように、図 3（d）に示す第 2 の実施形態に係るバイポーラトランジスタの製造方法と同様の工程により、バイポーラトランジスタが完成する。

【0073】

第 3 の実施形態の特徴は、第 1 のイオン注入処理 150 よりも低い注入エネルギーにて且つ少ない注入ドーズ量にて第 4 のイオン注入処理 170 を行なうことにより、コレクタ層 102 の表面部に反転防止層 112 を形成するところにある。

【0074】

図 5 は、第 1 のイオン注入処理 150 により得られるコレクタ層 102 が持つ不純物プロファイル、及び、第 4 のイオン注入処理 170 により得られる反転防止層 112 が持つ不純物プロファイルを示す模式的なグラフである。図 5 に示すように、第 1 のイオン注入処理 150 によると、n 型不純物（リンイオン）が基板面の法線方向に沿ってイオン注入されるため、イオン注入時のチャネリング現象により、n 型不純物が Si 原子等の半導体原子からなる結晶格子の間をすり抜けて基板表面よりも深い位置に進行する。この際、注入された n 型不純物は基板表面部には留まりにくいいため、コレクタ層 102 の表面部では n 型不純物の濃度が低下する。一方、低い注入エネルギーで行なわれる第 4 のイオン注入処理 170 によると、注入エネルギーが低いため、注入された n 型不純物（リンイオン）

がコレクタ層 102 の表面部において高濃度になる。

【0075】

したがって、第3の実施形態によると、第1の実施形態により得られる効果に加えて次のような効果が得られる。本実施形態によると、反転防止層 112 をコレクタ層 102 の表面部に形成することにより、n型不純物の濃度が低下するコレクタ層 102 の表面部にn型不純物を補填することができる。その結果、p型の半導体単結晶基板 100 とp型のベース層 104 との間のパンチスルー耐圧が劣化する弊害、又はアルミニウム配線に印加される電圧の影響を受けることによりコレクタ層 102 の表面部がp型に反転してしまう弊害が生じる場合であっても、これらの問題を未然に防ぐことができる。したがって、信頼性の高いバイポーラトランジスタを製造することができる。

【0076】

また、第3の実施形態によると、コレクタ層 102 及び埋め込みコレクタ層 103 を形成するために使用した第1のマスク 101 を、反転防止層 112 を形成するために再度活用している。このため、製造コストを抑えることができると共に、基板表面部におけるコレクタ層形成領域と反転防止層形成領域との間にずれを生じさせずに反転防止層 112 を形成することができる。

【0077】

尚、第3の実施形態において、第4のイオン注入処理 170 の注入エネルギー、注入ドーズ量及び注入角度は、製造するバイポーラトランジスタに要求される特性に応じて設定することが好ましい。ただし、この場合、第4のイオン注入処理 170 の注入エネルギーを第1のイオン注入処理 150 における注入エネルギーよりも低くし、且つ、第4のイオン注入処理 170 の注入ドーズ量を第1のイオン注入処理 150 における注入ドーズ量よりも少なくする。

【0078】

また、第3の実施形態において、第4のイオン注入処理 170 としてリンをイオン注入したが、これに代えて、他のn型不純物をイオン注入してもよい。

【0079】

また、第3の実施形態において、npn型のバイポーラトランジスタを製造し

たが、これに代えて、導電型を反転させた p n p 型のバイポーラトランジスタを製造してもよい。

【0080】

(第4の実施形態)

以下、本発明の第4の実施形態に係るバイポーラトランジスタの製造方法について、図面を参照しながら説明する。

【0081】

図6は第4の実施形態に係るバイポーラトランジスタの製造方法により製造されたバイポーラトランジスタの構造を示す平面図、特に酸化膜106の直下に形成されたバイポーラトランジスタの構造を示す平面図である。尚、図6において、図3(a)～(d)に示す第2の実施形態に係るバイポーラトランジスタの製造方法により製造されたバイポーラトランジスタと同一の部材には同一の符号を付す。

【0082】

図6に示すように、第4の実施形態に係るバイポーラトランジスタの製造方法の特徴は、図3(c)に示す第2の実施形態に係るバイポーラトランジスタの製造方法において、第3のイオン注入処理160により、コレクタコンタクト層111がベース層104を取り囲む形ように形成されるところにある。このため、第4の実施形態によると、第2の実施形態により得られる効果に加えて、次のような効果が得られる。

【0083】

本実施形態によると、図6に示すように、コレクタ層102の表面部における所定の領域に、コレクタコンタクト層111がベース層104を取り囲むように形成される。このため、イオン注入時のチャネリング現象によりコレクタ層102の表面部におけるn型不純物(リンイオン)の濃度が低下したとしても、コレクタ層102の表面部におけるコレクタコンタクト層111を形成する領域に、n型不純物(リンイオン)を補填することができる。言い換えれば、コレクタ層102の表面部における、p型の半導体単結晶基板100とp型のベース層104との間に、n型不純物を補填するためのコレクタコンタクト層111を必ず

介在させることができる。このため、前述のように、パンチスルー耐圧の劣化の弊害又はコレクタ層 102 の表面部が p 型に反転する弊害が生じる場合であっても、ベース層 104 を取り囲むコレクタコンタクト層 111 を形成することにより、これらの問題を未然に防止することができる。したがって、本実施形態によると、エピタキシャル成長工程を省略しながら高性能且つ高信頼性のバイポーラトランジスタを製造することができる。

【0084】

また、第 4 の実施形態によると、製造プロセス上は第 2 の実施形態において使用した第 2 のマスク 110 のマスクパターン、又は第 1 の実施形態においてエミッタ層 105 を形成するために使用したマスク（図示省略）のマスクパターンを修正するだけで第 4 の実施形態の製造プロセスを実現できる。このため、製造コストが増大するというデメリットが生じない。

【0085】

【発明の効果】

本発明によると、従来のエピタキシャル成長工程を用いて形成されたエピタキシャル層と類似した不純物プロファイルを持つコレクタ層を 1 度のイオン注入処理により得ることができる。したがって、イオン注入処理を多段階に分けて行なう従来の多重イオン注入法で問題点とされた、イオン注入によるダメージが半導体単結晶基板に蓄積される問題点は解消される。また、製造コストの増大を回避することができる。また、第 1 不純物及び第 2 不純物のイオン注入処理により、埋め込みコレクタ層とエピタキシャル層とを有する従来のバイポーラトランジスタと類似した不純物プロファイルを持つバイポーラトランジスタを製造できるので、バイポーラトランジスタの製造方法からエピタキシャル成長工程を省くことができる。

【図面の簡単な説明】

【図 1】

(a) ～ (e) は、本発明の第 1 の実施形態に係るバイポーラトランジスタの製造方法の各工程を示す断面図である。

【図 2】

本発明の第1の実施形態に係るバイポーラトランジスタの製造方法により形成されるコレクタ層及び埋め込みコレクタ層が持つそれぞれの不純物プロファイルを示す模式的なグラフである。

【図3】

(a)～(d)は、本発明の第2の実施形態に係るバイポーラトランジスタの製造方法の各工程を示す断面図である。

【図4】

(a)～(d)は、本発明の第3の実施形態に係るバイポーラトランジスタの製造方法の各工程を示す断面図である。

【図5】

本発明の第3の実施形態に係るバイポーラトランジスタの製造方法により形成されるコレクタ層及び反転防止層が持つそれぞれの不純物プロファイルを示す模式的なグラフである。

【図6】

第4の実施形態に係るバイポーラトランジスタの製造方法により形成されたバイポーラトランジスタの構造を示す平面図、特に酸化膜の直下に形成されたバイポーラトランジスタの構造を示す平面図である。

【図7】

(a)～(e)は、従来のバイポーラトランジスタの製造方法の各工程を示す断面図である。

【図8】

多重イオン注入法により得られる不純物プロファイルを示す模式的なグラフである。

【符号の説明】

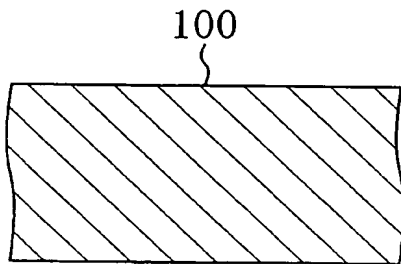
- 100 半導体単結晶基板
- 101 第1のマスク
- 102 コレクタ層
- 103 埋め込みコレクタ層
- 104 ベース層

- 105 エミッタ層
- 106 酸化膜
- 107 コレクタ電極
- 108 ベース電極
- 109 エミッタ電極
- 110 第2のマスク
- 111 コレクタコンタクト層
- 112 反転防止層
- 150 第1のイオン注入処理
- 151 第2のイオン注入処理
- 160 第3のイオン注入処理
- 170 第4のイオン注入処理

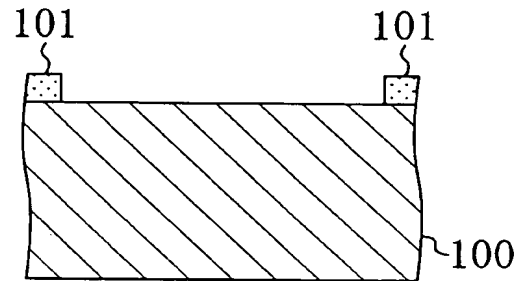
【書類名】 図面

【図 1】

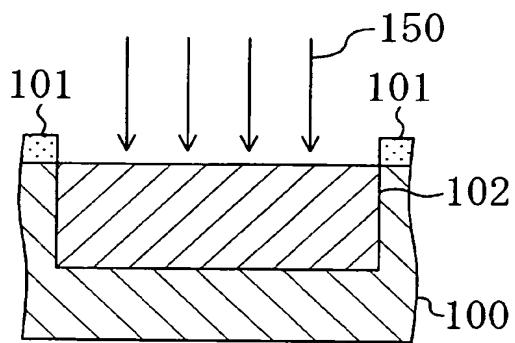
(a)



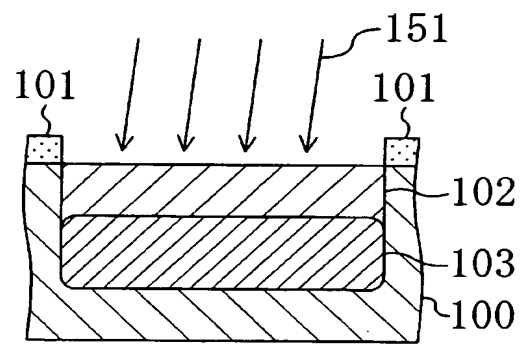
(b)



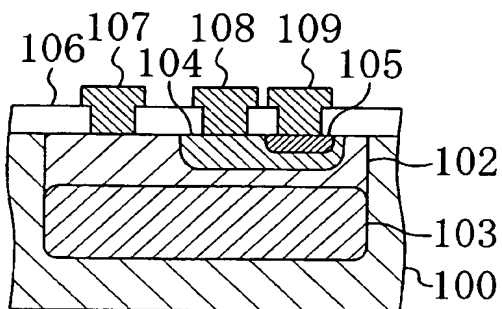
(c)



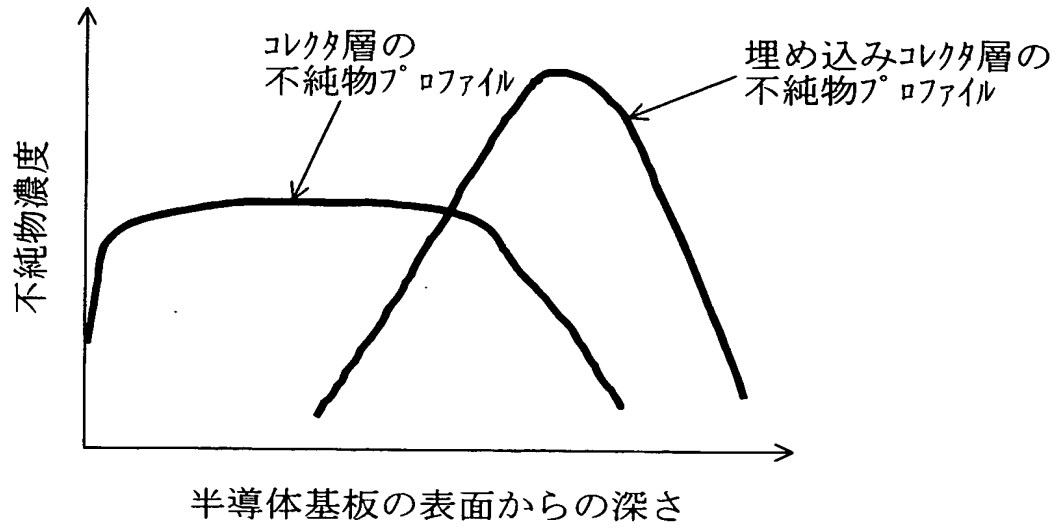
(d)



(e)

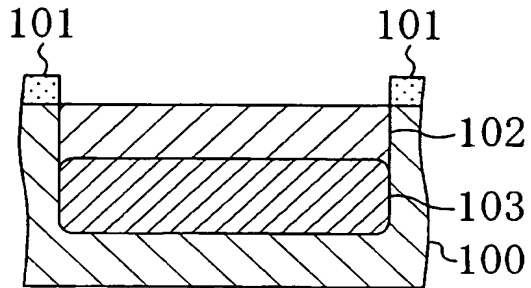


【図 2】

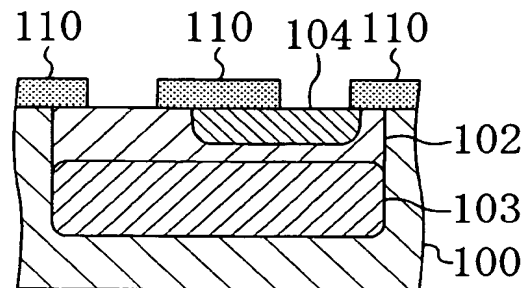


【図 3】

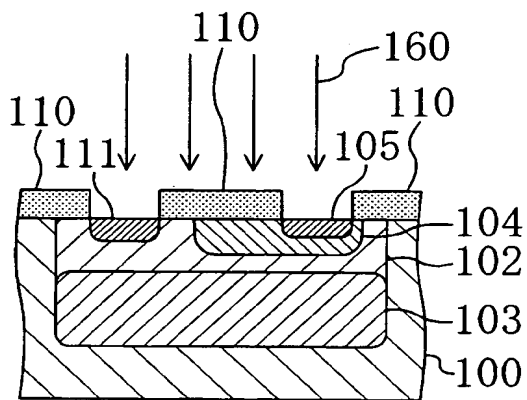
(a)



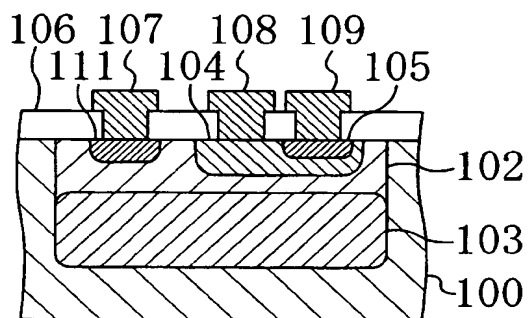
(b)



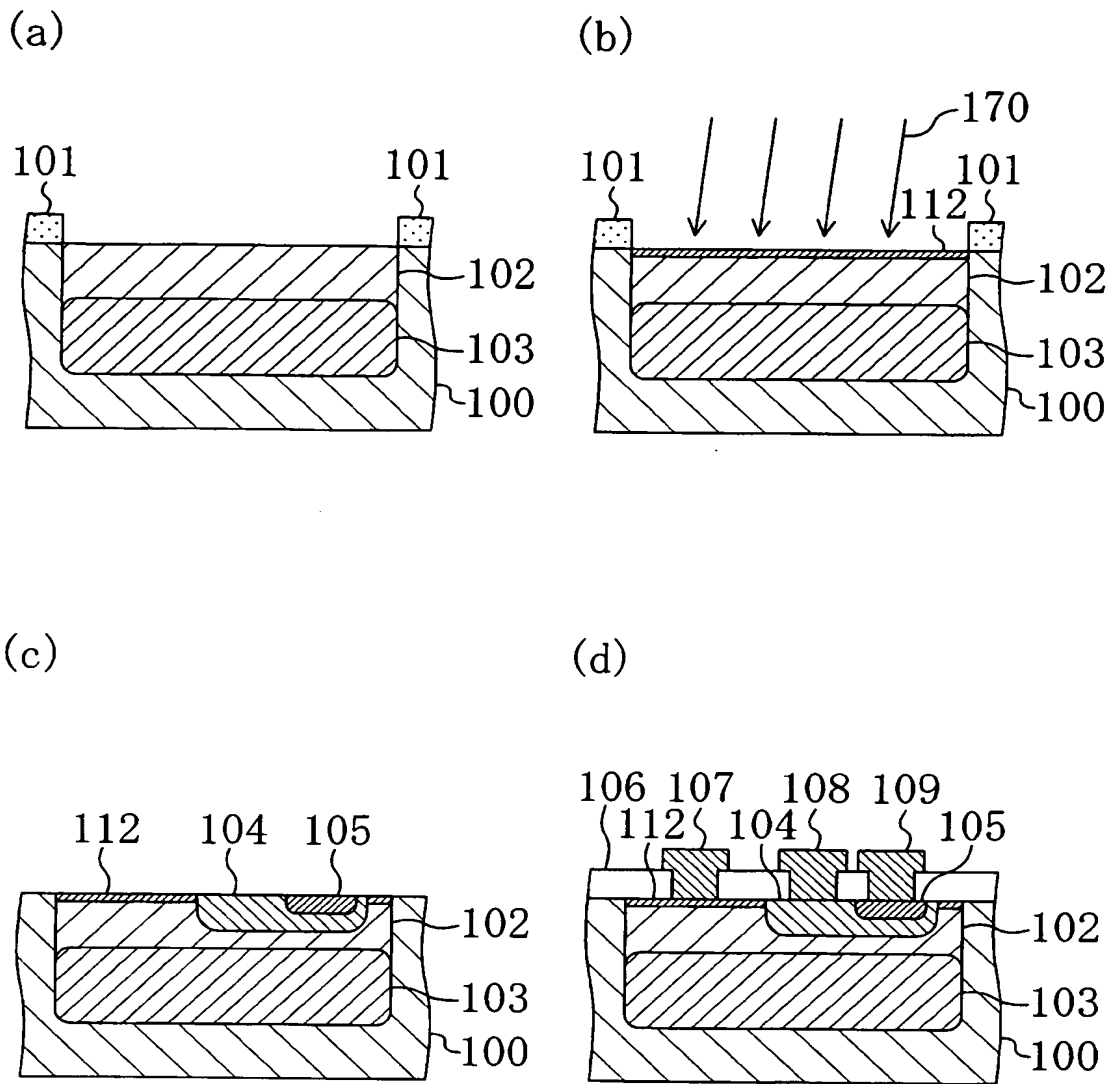
(c)



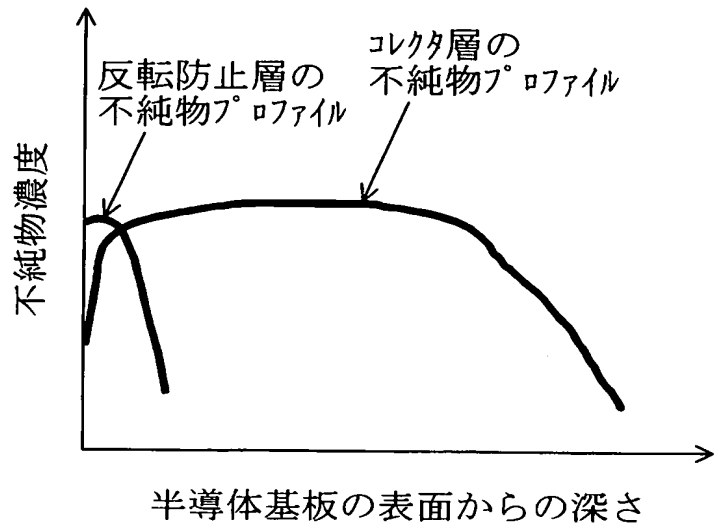
(d)



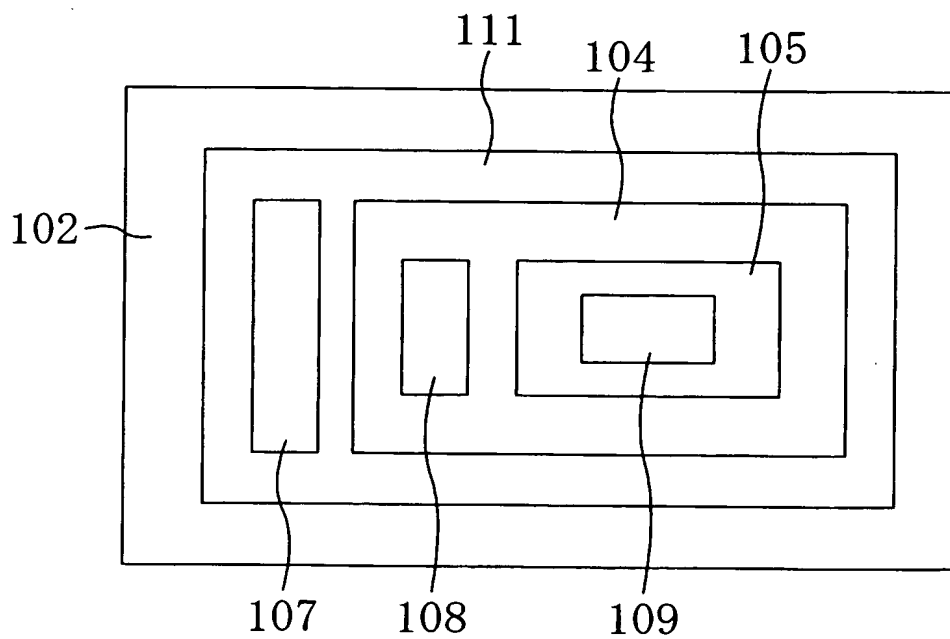
【図 4】



【図 5】

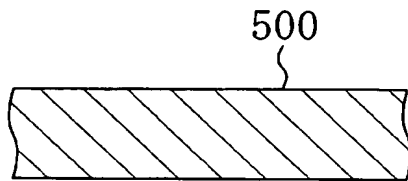


【図 6】

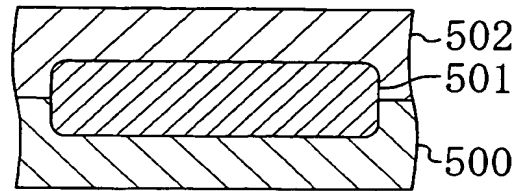


【図 7】

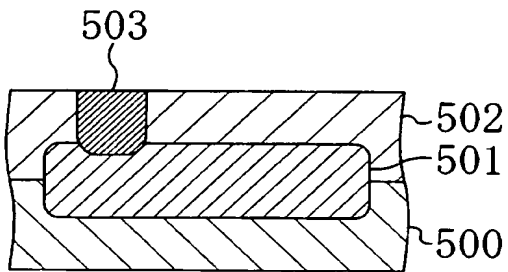
(a)



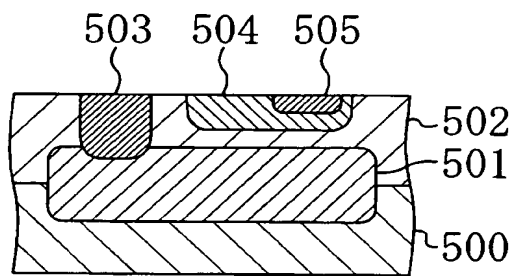
(b)



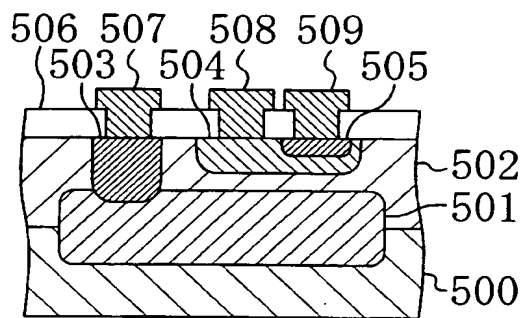
(c)



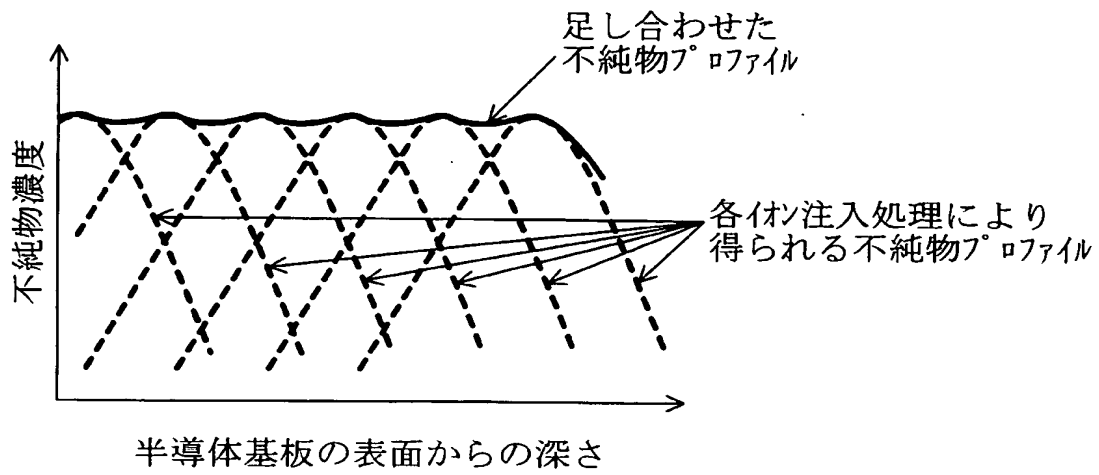
(d)



(e)



【図 8】



【書類名】 要約書

【要約】

【課題】 多重イオン注入法により生じる弊害を回避しつつ、エピタキシャル成長工程を行わずにバイポーラトランジスタを製造できるようにする

【解決手段】 半導体単結晶基板 100 の主面の法線方向に沿って半導体単結晶基板 100 に第 2 導電型の第 1 不純物をイオン注入 (150) することによりコレクタ層 102 を形成する。また、半導体単結晶基板 100 の主面の法線方向に対して傾斜角度を持つ方向に沿って半導体単結晶基板 100 に、前記第 1 不純物のイオン注入処理における注入エネルギーよりも高い注入エネルギーで、第 2 導電型の第 2 不純物をイオン注入 (151) することにより埋め込みコレクタ層 103 を形成する。その後、コレクタ層 102 の表面部における所定の領域に第 1 導電型のベース層 104 及び第 2 導電型のエミッタ層 105 を形成する。

【選択図】 図 1

特願 2 0 0 3 - 0 8 0 8 7 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社